



ISSN:1306-3111

e-Journal of New World Sciences Academy
2011, Volume: 6, Number: 4, Article Number: 1A0263

ENGINEERING SCIENCES

Received: September 2011

Accepted: October 2011

Series : 1A

ISSN : 1308-7231

© 2010 www.newwsa.com

İsmail Koyuncu

İbrahim Şahin

Duzce University

ismailkoyuncu@duzce.edu.tr

ibrahimsahin@duzce.edu.tr

Duzce-Turkey

FPGA ÇİPLERİ İÇİN CORDIC TABANLI e^x HESAPLAMA ÜNİTESİ TASARIMI

ÖZET

FPGA çiplerinin gelişerek yüksek hız ve kapasiteye ulaşması bu çipleri pek çok alanda kullanılır hale getirmiştir. Özellikle yüksek performans ve işlemci gücü gerektiren uygulamalar için ucuz ve esnek bir alternatif olarak ön plana çıkmışlardır. Bu uygulamaların pek çoğu yoğun matematiksel işlemlerin ve fonksiyonların hesaplanmasını gerektirmektedir. Sıklıkla ihtiyaç duyulan ve lojik olarak hesaplanması zor olan matematiksel fonksiyonlardan bir tanesi de Ekspansiyel Fonksiyondur (e^x). Bu çalışmada, FPGA çiplerine yönelik yapılan sayısal tasarımlarda kullanılabilecek bir e^x hesaplayıcı ünite tasarlanmıştır. Ünite 32-bit IEEE 754-1985 kayan noktalı sayı formatında veri ile çalışacak şekilde tasarlanmıştır. Tasarlanan ünite VHDL'de kodlanmış ve Xilinx'in ISE 12.1 EDA aracı yardımıyla Virtex-6 FPGA çipi için sentezlenerek gerçekleştirilmiştir. Ünitenin ürettiği sonuçlar gerçek sonuçlarla karşılaştırılarak hassasiyeti belirlenmiştir. Elde edilen sonuçlardan ünitenin e^x değerini en az dört hanesini hassas olarak hesaplayabildiği ve 304.534MHz saat hızında çalıştırılabildiği gözlenmiştir.

Anahtar Kelimeler: Ekspansiyel Fonksiyonu, CORDIC, FPGA, Donanım Modülü, VHDL

A CORDIC BASED e^x CALCULATOR UNIT DESIGN FOR FPGA CHIPS

ABSTRACT

With improved speed and hardware capacity, FPGA chips have been utilized in a wide variety of applications. They are especially preferred for the applications requiring high performance and CPU power as a cheap and flexible solution compared to the other solutions. In many of these applications, intense mathematical operations and calculations of complex functions are needed. One of the frequently used and logically hard to calculate functions is Exponential Function (e^x). In this research work, an e^x calculator unit which can be utilized in FPGA-based applications was designed and implemented. The unit was designed to process and produce 32-bit IEEE 754-1985 floating-point data. It is coded in VHDL and implemented for Virtex-6 FPGA chip using Xilinx's ISE 12.1 EDA tool. Precision of the unit was determined by comparing values produced by the unit and the real values. The results showed that the unit is able to calculate at least first 4 decimal digits of e^x values correctly. According to the synthesis reports it can be clocked up to 304.534MHz.

Keywords: Exponential Function, CORDIC, FPGA Hardware Module, VHDL

1. GİRİŞ (INTRODUCTION)

Günümüzde Alanda Programlanabilir Kapı Dizileri (Field Programmable Gate Array (FPGA)) çipleri sinyal ve görüntü işleme [1 ve 2], motor kontrolü [3 ve 4], bilgisayar grafikleri gibi birçok algoritmaların hızlandırılması [5] ve yapay sinir ağları [6] başta olmak üzere pek çok uygulamada yaygın bir biçimde kullanılmaktadır. Bu uygulamalarda sıklıkla değişik matematiksel fonksiyonların hesaplanmasına ihtiyaç duyulmaktadır. Bu fonksiyonların sayısal devrelerle hassas bir şekilde hesaplanması oldukça zordur. Hesaplanması zor olan bu fonksiyonlardan birisi de Eksponansiyel Fonksiyondur (e^x). Bu fonksiyonu lojik olarak gerçekleştirebilmek için literatürde çeşitli yöntemler anlatılmıştır. Bu yöntemlerden bazıları Taylor Serisi açılımı, Look Up Table (LUT) kullanımı ve COordinate Rotation DIgital Computer (CODIC) tabanlı yaklaşımlardır. FPGA çipleri üzerinde bu yöntemleri kullanılarak e^x fonksiyonunu hesaplamak amacıyla pek çok çalışma yapılmıştır.

Jamro ve arkadaşları, yeni bir FPGA tabanlı 64-bit eksponansiyel ünitesi gerçekleştirmişlerdir. Yapılan tasarım Taylor serisi açılımı ile birlikte çalışan LUT tabanlı bir eksponansiyel hesaplayıcısıdır. Çalışmada yapılan tasarım ile ilgili performans, FPGA kaynak kullanım bilgileri ve sistem gecikmesi ile ilgili sonuçlar sunulmuştur ve elde edilen sonuçların tatminkar olduğu belirtilmiştir [7].

Bir diğer çalışma da Doss ve arkadaşları tarafından yapılmıştır. Yapılan çalışmada eksponansiyel ünitesi yine, FPGA üzerinde LUT ve Taylor Serisi açılımı ile kullanılarak gerçekleştirilmiştir. Sunulan tasarımın verileri işleme hızı, bir PC ile karşılaştırılmış ve yüksek hız kazançları elde edildiği belirtilmiştir [8].

Bu çalışmada literatürdeki diğer çalışmalara alternatif olarak yeni bir e^x fonksiyon ünitesi tasarlanmıştır. Tasarlanan bu ünite yüksek hızlı donanım tanımlama dillerinden biri olan VHDL (Very High Speed Integrated Circuit Hardware Description Language) kullanılarak kodlanmıştır. Oluşturulan VHDL kodu Xilinx'in ISE 12.1 Elektronik Tasarım Otomasyonu (Electronic Design Automation (EDA)) aracı ile Virtex-6 FPGA çipi için sentezlenerek test edilmiştir.

Makalenin devamında, öncelikle yapılan çalışmanın önemi anlatılmış ardından konu ile ilgili genel bilgiler verilmiştir. Dördüncü ve Beşinci bölümlerde önce e^x hesaplama yöntemi ardından bu çalışmada geliştirilen yeni e^x hesaplama yöntemi anlatılmıştır. Altıncı bölümde ise tasarlanan ünitenin yapısı ve çalışması detaylarıyla anlatılmıştır. Yedinci bölümde test çalışmaları ve bu çalışmalardan elde edilen sonuçlar sunulmuştur. Son bölümde ise sonuçlar değerlendirilerek ileride yapılabilecekler çalışmalar hakkında öneriler sunulmuştur.

2. ÇALIŞMANIN ÖNEMİ (RESEARCH SIGNIFICANCE)

e^x fonksiyonu, yoğun hesaplama gerektiren görüntü işleme (image processing) [9], yapay sinir ağları (artificial neural network) [10, 11 ve 12], hızlı Fourier transformasyonu (Fast Fourier Transformation) [13] gibi pek çok alanda kullanılmaktadır. Ancak bu fonksiyonun lojik olarak hesaplanması oldukça zordur. Bu konuda FPGA üzerinde yapılmış çeşitli çalışmalar bulunmaktadır [14 ve 15].

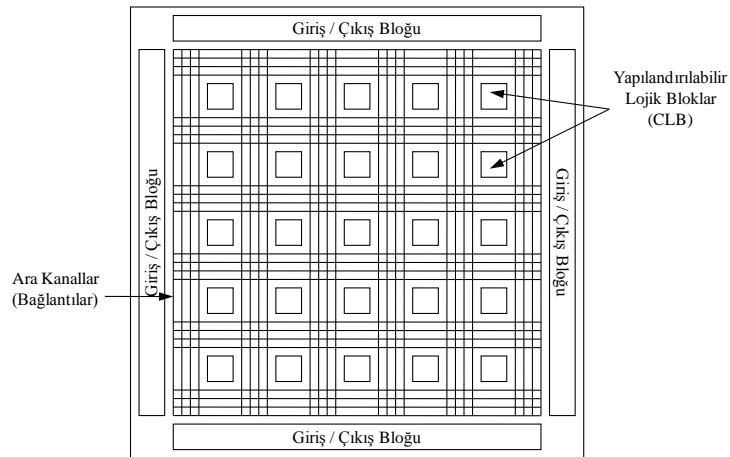
Bu çalışmada daha önce sunulan yöntemlere bir alternatif olarak yine FPGA çipleri ile çalışmak üzere, 32-bit IEEE 754-1985 kayan noktalı sayı (floating point) standardına uygun bir biçimde hesaplama yapan yeni bir ünite tasarlanmıştır. Tasarlanan ünitenin Test sonuçları göstermiştir ki yapılan bu tasarım e^x değerini 4-5 hane kadar doğru bir şekilde hesaplamakta ve saniyede 304490 adet e^x değeri hesaplayabilmektedir.

3. GENEL BİLGİ (BACKGROUND INFORMATION)

FPGA çipleri tasarımcının yeniden ve sahada programlayabileceği tümdevrelerdir. İhtiyaç duyulan mantıksal fonksiyonların gerçekleştirilebilmesi amacıyla, kullanıldığı yerde programlanabilir olarak üretilmektedirler. Kullanıcının tasarladığı mantıksal devreye göre, mantıksal bloklar, aralarındaki bağlantılar ve giriş/çıkış blokları programlanabilmektedir. Şekil 1'de FPGA çiplerinin genel yapısı görülmektedir. Bu çipler yapılandırılabilir mantıksal bloklar, giriş/çıkış blokları ve ara bağlantılar olmak üzere üç temel bileşenden oluşurlar.

- **Yapılandırılabilir Mantıksal Bloklar (Configurable Logic Blocks (CLB)):** CLB blokları, mantıksal fonksiyonların oluşturulabildiği Look-up table (LUT), tek bitlik bilgilerin saklanabildiği Flip-Flop'lar, bilgi akışını yönlendiren multiplekserler, ve toplayıcıların tanımlanmasında kullanılan "carry-chain" gibi çeşitli elemanlardan oluşurlar. Oluşturulmak istenen mantıksal devreler çeşitli yazılım araçları sayesinde bir CLB'ye veya parçalara bölünerek birden fazla CLB'ye otomatik olarak uygulanır.
- **Giriş Çıkış Blokları (Input/Output Blocks (IOB)):** IOB'ler FPGA çiplerinin programlanabilir giriş/çıkış terminalleridir. Bu bloklar içinde yer alan pinler isteğe göre giriş, çıkış ya da çift yönlü olarak programlanabilir. Bu blokların temel görevi dış dünya ile çip içindeki donanım arasında köprü vazifesi görmektir. FPGA çipinin paket türüne göre bir çipteki IOB sayısı (dolayısıyla pin sayısı) 1000'li sayılara ulaşabilmektedir.
- **Ara Bağlantılar (Interconnections):** Bu birimler hem CLB'ler arasında hem de CLB'ler ile IOB'ler arasında bağlantıları yapılandırmada kullanılırlar. Programlanabilir olduklarından çok esnek bir yapıya sahiptirler.

Bu temel bileşenlerin yanında bazı FPGA çipleri, sayısal sinyal işaret işleme için tasarlanmış özel bloklar, RAM hafıza blokları, hatta işlemci çekirdek üniteleri içerecek şekilde üretilmektedirler.



Şekil 1. FPGA çiplerinin genel yapısı [16]
(Figure 1. Overall structure of FPGA chips [16])

4. e^x HESAPLAMA YÖNTEMLERİ (METHODS OF e^x CALCULATION)

Literatürde e^x fonksiyonunu hesaplamak için farklı yöntemler kullanılmaktadır. Bu yöntemlerden bazılarında LUT, Taylor Serisi

açılımı ve CORDIC tabanlı hesaplama yöntemleri örnek olarak sıralanabilir.

LUT kullanarak e^x fonksiyonunu hesaplama yöntemi, çok geniş aralıktaki e^x değerlerinin hesaplanmasını gerektirmeyen uygulamalarda ve önceden sistemde kullanılacağı göz önünde bulundurulmuş sabit e^x değerleri için tercih edilmektedir. Ara değerlere ihtiyaç duyulduğunda ise tabloda var olan değerler arasında doğrusal interpolasyon yada yakınsama yöntemi kullanılarak istenen değere en yakın değer bulunur. Bu yöntem sayısal tasarımlarda herhangi bir fonksiyonun hesaplanmasında sıklıkla kullanılan yöntemlerden biri olmasına rağmen her zaman istenen hassasiyeti vermemekte ya da hassas hesaplama gereken durumlarda büyük tabloların oluşturulması gerekmektedir.

Taylor Serisi açılımı ile e^x değeri hesaplama formülü (1) nolu eşitlikte verilmiştir.

$$e^x = 1 + \frac{x^1}{1!} + \frac{x^2}{2!} + \frac{x^3}{3!} + \frac{x^4}{4!} + \frac{x^5}{5!} + \dots + \frac{x^n}{n!} \quad (1)$$

Bu yöntemde e^x değerini hesaplama işlemi, iteratif bir yaklaşımla gerçekleştirilmekte ve iterasyon sayısı arttıkça hesaplanan değer, gerçek e^x değerine yaklaşmaktadır. Bu yöntemde x 'in n 'inci kuvvetine ihtiyaç duyulduğundan sayısal devre tasarımlarında çok fazla tercih edilmemektedirler.

5. ÖNERİLEN e^x HESAPLAMA YÖNTEMİ (PROPOSED e^x CALCULATION METHOD)

Bu çalışmada önerilen e^x hesaplama yöntem ise COordinate Rotation DIgital Computer (CORDIC) tabanlı hesaplama yöntemidir. Bu yöntemde eşitlik (2)'de verildiği gibi CORDIC tarafında hesaplanan Sinh(x) ve Cosh(x) değerleri toplanarak e^x hesaplanır.

$$e^x = \text{Sinh}(x) + \text{Cosh}(x) \quad (2)$$

Bu yöntemin en büyük dezavantajı mevcut CORDIC ünitesinin Sinh(x) ve Cosh(x) değerlerini sadece $-\pi/4$ ile $\pi/4$ aralığında hesaplayabilmesidir. Dolayısıyla CORDIC sadece $e^{-0.7853981}$ ile $e^{0.7853981}$ arasında hesaplama yapabilmektedir.

Bu çalışmada CORDIC ve LUT temelli yaklaşımlar birleştirilerek doğrusal interpolasyona yada yakınsamaya ihtiyaç duymadan e^{-48} ile $e^{+47.25}$ arasındaki herhangi bir reel sayı için 4-5 hane hassasiyetinde hesaplama yapan bir ünite tasarlanmıştır. Ünite istenen e^x değerini eşitlik (3)'te görüldüğü gibi iki kısımda hesaplamakta ve elde ettiği bu iki ara değeri çarparak sonucu bulmaktadır. Birinci kısımda gelen x sayısı, bir d sabitine bölünerek elden edilen bölümün tam sayı kısmına karşılık gelen e^x değeri LUT'dan bulunur. Burada CORDIC en fazla 0.78539'e kadar olan değerler için hesaplama yapabildiğinden $d=0.75$ seçilmiştir.

$$e^x = e^{\text{int}(x/d)} \cdot e^{(x \bmod d)} \quad (3)$$

İkinci kısımda ise sayının geri kalan ve 0.75 den küçük veya eşit olan kısmı için e^x değeri CORDIC yardımı ile bulunmaktadır.

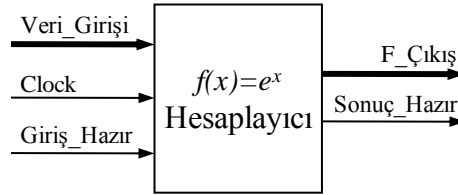
6. e^x HESAPLAMA ÜNİTESİ TASARIMI (e^x CALCULATOR UNIT DESIGN)

Bu çalışmada FPGA sistemleri ile birlikte kullanılacak verilen x değerinin eksponansiyelini (e^x) hesaplayan bir donanım ünitesi tasarlanmıştır. Ünite 32-bit IEEE 754-1985 kayan noktalı sayı (floating-point) standardında sayılarla çalışacak şekilde tasarlanmıştır.

olup e^{-48} ve e^{48} arasındaki değerleri hesaplayabilmektedir. Yapılan tasarım VHDL'de kodlanmış ve Xilinx'in ISE 12.1 EDA aracı kullanılarak Virtex-6 (xc6v1x75t-3ff484, speed grade -3) FPGA çipi için sentezlenmiştir. Tasarımda kullanılan çarpıcı, toplayıcı ve bölücü modüller yine Xilinx'in IP CORE Generator'ü kullanılarak oluşturulmuştur.

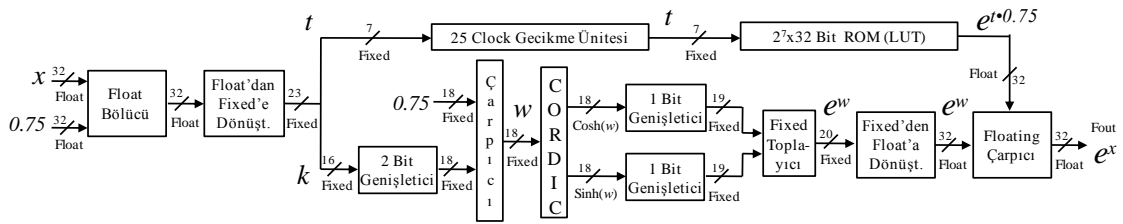
Şekil 2'de tasarlanan ünitenin en üst seviye blok diyagramı görülmektedir. Ünite üzerinde 32-bitlik veri giriş ve çıkış yolları bulunmaktadır. Giriş_Hazır ve Sonuç_Hazır sinyalleri ünitenin zamanlaması ve ünite ile bağlı olduğu diğer üniteler arasında senkronizasyonu (hand-shaking) sağlamak için kullanılmaktadır. Ünitenin girişinde geçerli veri olduğunu anda Giriş_Hazır sinyali aktif hale getirilerek verinin ünite tarafından okunarak işlenmeye başlaması sağlanır. Ünite sonucu ürettiğinde ise Sonuç_Hazır sinyalini de aktif hale getirerek kendinden sonra gelen üniteyi uyarır.

Ünite 44 clock periyotluk kanallı (pipelined) bir yapıda tasarlanmıştır. Bunun anlamı ünite her periyotta yeni bir x değerini hesaplanmak üzere okuyabilir. İlk okunan değer sonucunu 44 periyot sonra, bundan sonraki takip eden her periyotta diğer sonuçlar sıra ile üretilebilir.



Şekil 2. e^x hesaplama ünitesi en üst seviye blok diyagramı
(Figure 2. Top level block diagram of the e^x calculator unit)

Şekil 3'te e^x hesaplama ünitesinin ikinci seviye blok diyagramı görülmektedir. Üniteye gelen 32-bit x sayısı öncelikle bir floating point bölücü ile 0.75'e bölünerek 0.75'in kaç katı olduğu belirlenir. Ardından elde edilen değer floating point sayı formatında sabit noktalı (fixed point) sayı formatına dönüştürülerek kesirli (k) ve tam sayı (t) kısımları birbirinden ayrıştırılır.



Şekil 3. Hesaplayıcının ikinci seviye blok diyagramı
(Figure 3. Second level block diagram of the Calculator)

Bu aşamadan sonra sayının t ve k kısımları ünite içinde iki farklı kanaldan ilerlerler. Tam sayı kısmı üst kanalda bir gecikme ünitesinden geçtikten sonra içeriği Tablo 1'de görülen ve bir LUT olarak kullanılan $2^7 \times 32$ -bit Read Only Memory (ROM) hafızaya iletilir. ROM hafızada $e^{i \cdot 0.75}$ ($i_{int} = -64 \dots +63$) değerleri önceden hesaplanarak yerleştirilmiştir. ROM hafızadan t ye karşılık gelen $e^{t \cdot 0.75}$ değeri okunarak son çarpıcıya iletilir. Elde edilen k değeri ise ikinci kanalda tekrar 0.75 ile çarpılarak orijinal sayının 0.75'den daha

küçük veya eşit olan kesirli kısmı (w) belirlenir. Bu değer (w) CORDIC'e uygulanarak bu değere karşılık gelen $\sinh(w)$ ve $\cosh(w)$ değerleri eş zamanlı olarak hesaplanır. İkinci kanalın devamında CORDIC'in hesapladığı $\sinh(w)$ ve $\cosh(w)$ değerleri toplanarak w' ya karşılık gelen e^w fixed-point formatında hesaplanmış olur. e^w değeri fixed-point'ten floating-point'e dönüştürülerek son çarpıcıya iletilir.

Her iki kanaldan gelen veriler, yani e^w ve $e^{t \cdot 0.75}$, eş zamanlı olarak son çarpıcıya ulaşılar. Burada bu iki değer çarpılarak e^x değeri hesaplanmış olur.

Tablo 1. ROM hafıza içeriği (LUT)
(Table 1. Content of the ROM memory (LUT))

x	Adres Bilgisi	e^x Değeri
0	0000000	1.000000E+00
0.75	0000001	2.117000E+00
1.5	0000010	4.481689E+00
:	:	:
46.5	0111110	1.565645E+20
47.25	0111111	3.314471E+20
-48	1000000	1.425164E-21
-47.25	1000001	3.017072E-21
:	:	:
-1.5	1111101	2.231302E-01
-0.75	1111110	4.723666E-01
0	1111111	1.000000E+00

7. TEST SONUÇLARI VE SONUÇLARIN YORUMU (TEST RESULTS AND INTERPRETATION OF THE RESULTS)

Tasarlanan e^x ünitesi, Virtex-6 FPGA çipi için sentezlenerek FPGA çip istatistiklerine bakılmış ve ünitenin maksimum clock frekansları incelenmiştir. Ünitenin belirlenen veriyi işleme süresi, ISE simülasyon programı kullanılarak elde edilmiştir.

Tablo 2'de verilen sentezleme sonuçları göstermiştir ki seçilen FPGA çipine, kullanılan Occupied Slices sayısına göre teorik olarak modülün 14 adet kopyasının aynı anda tek bir çip içine sığması mümkündür. Çip istatistiklerine IOB (giriş/çıkış pinleri) yönünden bakılmamasının nedeni çiplere veri giriş/çıkışının tek bir veri yolu üzerinden sağlanmasıdır.

Tablo 2. Hesaplayıcının FPGA çip istatistikleri
(Table 2. FPGA chip statistics of the calculator)

FPGA Çip Türü	Slice Reg. Sayısı/%	LUTs Sayısı/%	Occupied Slices Sayısı/%	Bounded IOBs Sayısı/%	Max Clock Hızı (MHz)
Virtex 6	2704 / 2	3184 / 6	861 / 7	67 / 18	304.534

Tablo 3'te bazı örnek test değerler için e^x ünitesinin ürettiği sonuçlar ile gerçek sonuçların karşılaştırılması verilmiştir. Birinci sütundaki değerler seçilen test değerleridir (x). İkinci ve üçüncü sütundaki değerler, Excel programı ve e^x üniteleri tarafından üretilmiş değerlerdir. Son sütunda ise, Excel değerleri ile tasarlanan ünitenin ürettiği değerler arasındaki mutlak fark verilmiştir. Elde edilen

sonuçlara göre tasarlanan ünite, 4-5 haneye kadar hassas bir şekilde sonuçları üretmektedir.

Ünite 44 clock periyotluk kanallı (pipelined) bir yapıda tasarlanmıştır ve Tablo 2'de görüldüğü gibi maksimum 304.534MHz'de çalıştırılabilmektedir. Ünite, ilk veri girişi yapıldıktan sonra, ilk 44 periyot boyunca çalışır ve sonucu 44. periyodun sonunda üretir. Girişte her clock darbesine yeni bir veri girilebilir ve girilen bu veriler ilk 44 periyotluk beklemenin ardından ard arda hesaplanarak çıkışa gönderilir. Ünite bu şekilde kullanıldığında saniyede 304490 adet e^x hasaplama işlemini gerçekleştirebilmektedir.

Tablo 3. e^x ünitesi sonuçlarının gerçek sonuçlarla karşılaştırılması
(Table 3. Comparison of e^x calculators' results with real results)

x	e^x (Excel)	e^x (Ünite)	Mutlak Fark
-47	3.873998E-21	3.873744E-21	2.538707E-25
-40	4.248354E-18	4.248310E-18	4.437832E-23
-20	2.061154E-09	2.061020E-09	1.331570E-13
-10	4.539993E-05	4.539952E-05	4.062477E-10
-5	6.737947E-03	6.737508E-03	4.391194E-07
-2	1.353353E-01	1.353265E-01	8.823233E-06
-1	3.678794E-01	3.678759E-01	3.537327E-06
-0.5	6.065307E-01	6.064911E-01	3.957085E-05
-0.1	9.048374E-01	9.048157E-01	2.174421E-05
0.1	1.105171E+00	1.105133E+00	3.786144E-05
0.5	1.648721E+00	1.648712E+00	9.112497E-06
1	2.718282E+00	2.718189E+00	9.330421E-05
2	7.389056E+00	7.389015E+00	4.090118E-05
5	1.484132E+02	1.484123E+02	8.208457E-04
10	2.202647E+04	2.202571E+04	7.568104E-01
20	4.851652E+08	4.851625E+08	2.699410E+03
40	2.353853E+17	2.353769E+17	8.380273E+12
47	2.581313E+20	2.581306E+20	6.678003E+14

8. SONUÇ VE ÖNERİLER (CONCLUSIONS AND RECOMMENDATIONS)

Çağımızın hızlı ve yüksek kapasiteli donanımlarından biri olan FPGA çipleri pek çok alanda kullanılabilirliğini kanıtlamıştır. Hatta çok yüksek işlem hızı gerektiren sahalarda yoğun bir biçimde kullanılmaktadır. Bu alanların pek çoğunda hesaplaması lojik olarak zor olan e^x gibi fonksiyonlar kullanılmaktadır. Bu çalışmada, Virtex-6 FPGA çipi kullanılarak e^x fonksiyonunu 32-bit IEEE 754-1985 floating point sayı standardında hesaplayan bir ünite tasarlanmıştır. Tasarlanan ünite yüksek hızlı bir donanım tanımlama dili olan VHDL'de kodlanmıştır. Yazılan kod Xilinx'in ISE 12.1 aracı kullanılarak Virtex-6 FPGA çipi için sentezlenmiş ve test edilmiştir. Sonuçlara göre tasarlanan ünitenin e^x değerini 4-5 haneye kadar hassas bir şekilde hesapladığı görülmüştür. IEEE 754-1985 floating point sayı gösteriminin en fazla 7-8 haneye kadar hassasiyet sunduğu düşünülürse ünitenin ürettiği sonuçların hassasiyetinin birçok uygulama için yeterli düzeyde olduğu görülecektir. Ayrıca tasarlanan ünite 304.534MHz gibi yüksek bir clock hızında kullanılabilir. Ünitenin kullandığı donanım miktarı göz önüne alındığında, aynı anda 14 kopyasının en küçük Virtex-6 çipine yerleştirilebileceği ve paralel olarak çalıştırılabileceği tespit edilmiştir. Hali hazırda ünite 4-5 hane hassasiyetinde hesaplama yapmaktadır. İleride bu hassasiyet arttırılabilir. Ayrıca ünitenin 64-bit versiyonu tasarlanabilir.

KAYNAKLAR (REFERENCES)

1. Paukštaitis, V. and Dosinas A., (2009). Pulsed Neural Networks for Image Processing. *Electronics and Electrical Eng.*, No. 7(95).
2. Polat, O. and Yildirim T., (2010). FPGA implementation of a General Regression Neural Network: An embedded pattern classification system. *Digital Signal Processing*, vol. 20, pp. 881-886.
3. Monmasson, E., Idkhajine, L., Cirstea, M.N., Bahri, I., Tisan, A., and Naouar, M.W., (2011). FPGAs in Industrial Control Applications. *Industrial Informatics, IEEE Trans. on*, vol. 7, no.2, pp.224-243.
4. Lin, F.J., Chou, P.H., Hung, Y.C., and Wang, W.M., (2010). FPGA-based functional link radial basis function network control for permanent magnet linear synchronous motor servo drive system. *Electric Power Applications*, vol. 4, no. 5, pp. 357-372.
5. Şahin İ., (2010). A 32-bit floating-point module design for 3D graphic transformations. *SRE*, vol. 5(20), pp. 3070-3081.
6. Song, Y. and Gao, L., (2011). Incremental Battery Model Using Wavelet-Based Neural Networks. *Components, Packaging and Manufacturing Technology, IEEE Trans. on*, vol.1, no.7, pp. 1075-1081.
7. Jamro, E. and Wiatr, K., (2007). Wielgosz M. FPGA Implementation of 64-Bit Exponential Function for HPC. *International Conference on Field Programmable Logic and Applications*, pp. 718-721.
8. Doss, C.C. and Riley, R.L., (2004). FPGA-based implementation of a robust IEEE-754 exponential unit. *Field-Programmable Custom Computing Machines, 12th Annual IEEE Symposium on*, pp. 229- 238.
9. Guannan, C., Rong, C., Jianxin, C., Zhiming, X., Zufang, H., Shangyuan, F., Yongzeng, L. and Kuntao, Y., (2008). A Gray-Natural Logarithm Ratio Neighborhood Filters Method for Biomedical Image Denoising. *Bioinformatics and Biomedical Engineering, The 2nd International Conference on*, pp. 2605-2608.
10. Shen, S., Chang, C., and Wang, L., (2009). A cellular neural network and utility-based radio resource scheduler for multimedia CDMA communication systems. *Wireless Communications, IEEE Transactions on*, vol.8, no.11, pp.5508-5519.
11. Günoğlu, K., Mavi, B. ve Akkurt, İ., (2011). Yapay Sinir Ağları (YSA) Yöntemi ile Global Radyasyon Tahmini. *e-Journal of New World Sciences Academy*, vol. 6, No. 2.
12. Eren, B., Turp, S.M., (2011). Sızıntı Suyundan Nikel (II) İyonları Giderim Veriminin Yapay Sinir Ağları ile Tahmin Edilmesi. *e-Journal of New World Sciences Academy*, vol.6, No.1.
13. Brancik, L., (2000). An improvement of FFT-based numerical inversion of two-dimensional Laplace transforms by means of ϵ -algorithm. *Circuits and Systems, ISCAS 2000 Geneva, The 2000 IEEE International Symposium on*, vol.4, pp.581-584.
14. Pottathuparambil, R. and Sass, R., (2009). A parallel/vectorized double-precision exponential core to accelerate computational science applications in FPGA, *ACM*, pp. 285-285.
15. Wielgosz, M., Jamro, E., and Wiatr, K., (2008). Highly efficient structure of 64-bit exponential function implemented in FPGAs. in *Reconfigurable computing: architectures, tools and applications*, LNCS 4943. Springer-Verlag, pp. 274-279.
16. Şahin, İ. ve Koyuncu, İ., (2008). Grafik Sistemleri İçin FPGA Cihazlarında Çalışmak Üzere Tasarlanmış Matris Çarpım Motoru", *Sakarya Üniversitesi Fen Bilimleri Dergisi*, Cilt 12, ss. 61-68.